

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-353307

(43)Date of publication of application : 06.12.2002

(51)Int.CI.

H01L 21/768
H01L 21/318

(21)Application number : 2001-157195

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 25.05.2001

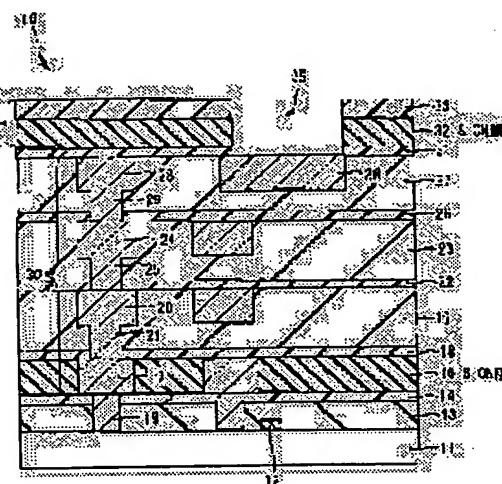
(72)Inventor : MATSUNAGA NORIAKI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device capable of suppressing the ingress of moisture into a chip.

SOLUTION: The semiconductor device of the present invention comprises a first insulating film 16, a first wiring 17 formed in the first insulating film 16, interlayer dielectrics 19, 23, 27 formed above the first wiring 17 and the first insulating film 16, the second wirings 20, 24, 28 that are formed in interlayer dielectrics 19, 23, 27 and conduct with the first wiring 17 via the first contact parts 21, 25, 29 and a passivation film 34 formed above the second wirings 20, 24, 28, and the interlayer dielectrics 19, 23, 27. In addition, at least one of the first insulating film 16 and the passivation film 34 is a film mainly composed of SiON, a film mainly composed of SiN, or a laminated film of these, and the interlayer dielectrics 19, 23, 27 are films of low dielectric constant.



LEGAL STATUS

[Date of request for examination] 11.03.2005

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-353307

(P2002-353307A)

(43)公開日 平成14年12月6日 (2002.12.6)

(51)Int.Cl.⁷

H 01 L 21/768
21/318

識別記号

F I

H 01 L 21/318
21/90

テ-マ-ト⁸ (参考)

C 5 F 0 3 3
M 5 F 0 5 8
B

審査請求 未請求 請求項の数 8 O L (全 10 頁)

(21)出願番号

特願2001-157195(P2001-157195)

(22)出願日

平成13年5月25日 (2001.5.25)

(71)出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72)発明者 松永範昭

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(74)代理人 100058479

弁理士 鈴江武彦 (外6名)

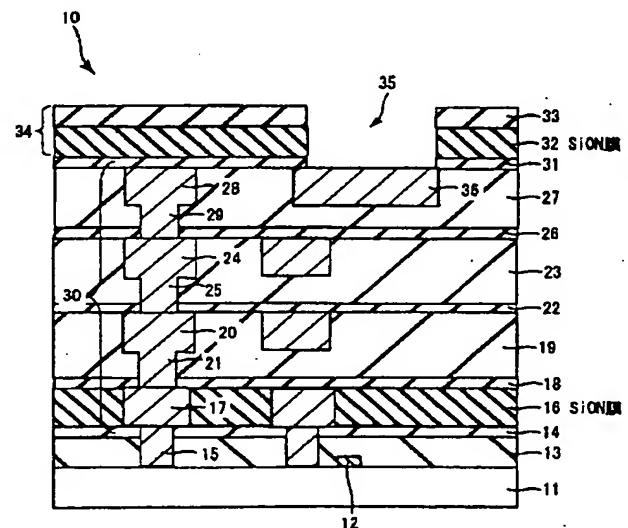
最終頁に続く

(54)【発明の名称】 半導体装置

(57)【要約】

【課題】 チップへの水分の侵入を抑制することが可能な半導体装置を提供する。

【解決手段】 本発明の半導体装置は、第1の絶縁膜16と、前記第1の絶縁膜16内に形成された第1の配線17と、前記第1の配線17及び前記第1の絶縁膜16上に形成された層間絶縁膜19、23、27と、前記層間絶縁膜19、23、27内に形成され、第1の接続部21、25、29を介して前記第1の配線17と導通する第2の配線20、24、28と、前記第2の配線20、24、28及び前記層間絶縁膜19、23、27上に形成されたパッシベーション膜34とを具備する。そして、前記第1の絶縁膜16、パッシベーション膜34の少なくとも一方はSiONを主とする膜、若しくはSiNを主とする膜、又はこれらの積層膜であり、前記層間絶縁膜19、23、27は低誘電率膜である。



【特許請求の範囲】

【請求項1】 第1の絶縁膜と、

前記第1の絶縁膜内に形成された第1の配線と、
前記第1の配線及び前記第1の絶縁膜上に形成された第2の絶縁膜と、前記第2の絶縁膜内に形成され、第1の接続部を介して
前記第1の配線と導通する第2の配線と、前記第2の配線及び前記第2の絶縁膜上に層間絶縁膜又
はバッシベーション膜として形成された第3の絶縁膜と
を具備し、前記第1、第3の絶縁膜の少なくとも一方はSiONを
主とする膜、若しくはSiNを主とする膜、又はこれらの
積層膜であり、前記第2の絶縁膜は低誘電率膜である
ことを特徴とする半導体装置。

【請求項2】 第1の絶縁膜と、

前記第1の絶縁膜上に形成された第1の配線と、

前記第1の配線及び前記第1の絶縁膜上に形成された第2の絶縁膜と、

前記第2の絶縁膜内に形成され、第1の接続部を介して
前記第1の配線と導通する第2の配線と、前記第2の配線及び前記第2の絶縁膜上に層間絶縁膜又
はバッシベーション膜として形成された第3の絶縁膜と
を具備し、前記第1、第3の絶縁膜の少なくとも一方はSiONを
主とする膜、若しくはSiNを主とする膜、又はこれらの
積層膜であり、前記第2の絶縁膜は低誘電率膜である
ことを特徴とする半導体装置。【請求項3】 前記第2、第3の絶縁膜間に形成された
第4の絶縁膜と、前記第4の絶縁膜内に形成され、第2の接続部を介して
前記第2の配線と導通する第3の配線とをさらに具備
し、前記第4の絶縁膜は、SiONを主とする膜、SiNを
主とする膜、若しくはこれらの積層膜、又はSiO膜で
あることを特徴とする請求項1又は2記載の半導体裝
置。【請求項4】 前記SiONを主とする膜、若しくはSi
Nを主とする膜、又はこれらの積層膜の膜厚は、10
0 nm以上であることを特徴とする請求項1乃至3のい
ずれか1項に記載の半導体装置。【請求項5】 前記第1の配線は、ローカル配線である
ことを特徴とする請求項1乃至3のいずれか1項に記載
の半導体装置。【請求項6】 前記第3の配線は、電源線又はグランド
配線であることを特徴とする請求項3記載の半導体裝
置。【請求項7】 前記第1、第2の配線及び前記第1の接
続部からなるViaリング構造を有することを特徴とす
る請求項1又は2記載の半導体装置。

【請求項8】 前記第1、第2の配線及び前記第1の接

続部からなるViaリング構造を有し、

前記Viaリング構造の前記第1、第2の配線は、前記
第1、第3の絶縁膜にそれぞれ隣接又は近接しているこ
とを特徴とする請求項1又は2記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、多層配線構造の半
導体装置に関する。

【0002】

10 【従来の技術】 近年、デバイス性能の向上のために、層
間絶縁膜には低誘電率膜を用いることが必至になってい
る。この低誘電率膜は、一般に膜密度が低く透水性があ
る。このため、比誘電率kが~8.0もある水が低誘電率
膜にわずかな量でも含まれると、低誘電率膜の誘電率が
増大してしまう。従って、低誘電率膜を有効に用いるた
めには、低誘電率膜に水分が浸入することを遮断する必
要がある。【0003】 ここで、図12に第1の従来技術による半
導体装置の平面図を示し、図13に図12のXIII-XIII
20 線に沿った半導体装置の断面図を示す。【0004】 図12、13に示すように、半導体基板7
1上にゲート電極72が形成される。このゲート電極7
2を覆うようにBPSG (Boron Phosphorous Silicate
Glass) 膜73が形成され、このBPSG膜73内にコン
タクトプラグ75が形成される。BPSG膜73上に
第1の配線74が形成され、この第1の配線74はコン
タクトプラグ75に接続される。そして、第1の配線7
4を覆うようにTEOS (Tetra Ethyl Ortho Silicat
e) - SiO₂膜76が形成され、このTEOS-Si
30 O₂膜76上に第2の配線77が形成される。この第2
の配線77は、Via78を介して第1の配線74に接
続される。そして、第2の配線77を覆うようにPSG
膜79とSiN膜80とからなるバッシベーション膜8
4が形成される。ここでチップ70の周囲では、スクラ
イプ時におけるクラックを停止させる目的のために、第
1、第2の配線74、77、コンタクトプラグ75及び
Via78からなるViaリング81が形成されてい
る。【0005】 上記第1の従来技術の構造において、バッ
40 シベーション膜84は、SiN膜80のみからなる単層
膜ではなく、PSG膜79のようなSiO₂膜とこのPS
G膜79上に成膜されたSiN膜80とからなる積層
膜となっている。このような積層膜の構造にすることに
より、膜のTotal Stressを下げることができる。
しかし、この構造では、Pad窓を設けるためにバッシ
ベーション膜84に開口部を形成すると、この開口部の
側壁にPSG膜79が露出してしまう。これによって、
この露出した部分が水分の浸入口となるため、水分の浸
入を遮断できないという問題があった。

【0006】 なお、コンタクトプラグ75から上層の配

線74、77までの全ての導電材をAl材料で形成するようなプロセスでは、Viaリング81はチップ70の側面からの水の侵入を防止する付随的な効果を有する。しかし、コンタクトプラグ75の材料にWを用いるようになると、そのような効果は殆どない。

【0007】ここで、図14は第2の従来技術による半導体装置の平面図を示し、図15(A)は図14のXVA-XVA線に沿った半導体装置の断面図を示し、図15(B)は図14のXVB-XVB線に沿った半導体装置の部分断面図を示す。

【0008】つまり、図14、図15(A)に示すように、コンタクトプラグ82の材料にWを用いた場合、コンタクトプラグ82と半導体基板71との界面が非常に剥がれ易くなる。従って、このWの剥がれを抑制するために、連続した溝状のコンタクトプラグ82を用いることは困難である。そこで、図15(B)に示すように、コンタクトプラグ82を杭状に並べることになり、コンタクトプラグ82間に隙間83が生じてしまう。従って、多層配線部分を完全に覆うことはできないため、チップ70側面からの水の侵入を完全に防止することが困難であった。

【0009】

【発明が解決しようとする課題】以上のように、従来技術では、チップの上方、下方、側面から多層配線領域へのあらゆる水分の浸入口を遮断することが難しく、低誘電率膜の特性を有効に使用することが困難であった。

【0010】本発明は上記課題を解決するためになされたものであり、その目的とするところは、チップへの水分の侵入を抑制することが可能な半導体装置を提供することにある。

【0011】

【課題を解決するための手段】本発明は、前記目的を達成するために以下に示す手段を用いている。

【0012】本発明の第1の視点による半導体装置は、第1の絶縁膜と、前記第1の絶縁膜内に形成された第1の配線と、前記第1の配線及び前記第1の絶縁膜上に形成された第2の絶縁膜と、前記第2の絶縁膜内に形成され、第1の接続部を介して前記第1の配線と導通する第2の配線と、前記第2の配線及び前記第2の絶縁膜上に層間絶縁膜又はバッシベーション膜として形成された第3の絶縁膜とを具備し、前記第1、第3の絶縁膜の少なくとも一方はSiONを主とする膜、若しくはSiNを主とする膜、又はこれらの積層膜であり、前記第2の絶縁膜は低誘電率膜であることを特徴とする。

【0013】本発明の第2の視点による半導体装置は、第1の絶縁膜と、前記第1の絶縁膜上に形成された第1の配線と、前記第1の配線及び前記第1の絶縁膜上に形成された第2の絶縁膜と、前記第2の絶縁膜内に形成され、第1の接続部を介して前記第1の配線と導通する第2の配線と、前記第2の配線及び前記第2の絶縁膜上に

層間絶縁膜又はバッシベーション膜として形成された第3の絶縁膜とを具備し、前記第1、第3の絶縁膜の少なくとも一方はSiONを主とする膜、若しくはSiNを主とする膜、又はこれらの積層膜であり、前記第2の絶縁膜は低誘電率膜であることを特徴とする。

【0014】なお、上記半導体装置において、前記第2、第3の絶縁膜間に形成された第4の絶縁膜と、前記第4の絶縁膜内に形成され、第2の接続部を介して前記第2の配線と導通する第3の配線とをさらに具備してもよい。この場合、前記第4の絶縁膜は、SiONを主とする膜、SiNを主とする膜、若しくはこれらの積層膜、又はSiO膜である。

【0015】

【発明の実施の形態】本発明は、層間絶縁膜に比誘電率kが3以下の低誘電率膜を用いた場合の多層配線構造に関するものである。前記低誘電率膜の例としては、ポリメチルシロキサン、ハイドロゲンシルセスキオキサン、有機系低誘電率膜（例えば、芳香族系炭化水素ポリマー）などがあげられる。

【0016】以下、本発明の実施の形態を図面を参照して説明する。この説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。

【0017】【第1の実施形態】第1の実施形態は、低誘電率膜からなる層間絶縁膜の上層と最下層配線間の層とに吸水性・透水性の少ない膜を用いることを特徴とする。

【0018】なお、本発明において、吸水性・透水性の少ない膜とは、従来の半導体プロセスで用いられてきたTEOS (Tetra Ethyl Ortho Silicate) ガスを原料としてPECVD (Plasma Enhanced Chemical Vapor Deposition) 法で成膜された絶縁膜、通称TEOS-SiO₂膜や、SiH₄ガスとO₂ガスを原料として成膜されたUSG (Undoped Silicate Glass) 膜を基準としている。

【0019】図1は、本発明の第1の実施形態に係る半導体装置の平面図を示す。図2は、図1のII-II線に沿った半導体装置の断面図を示す。

【0020】図1に示すように、チップ10の周囲にViaリング30が形成され、このViaリング30によってデバイス領域が囲まれている。

【0021】図2に示すように、半導体基板11上にゲート電極12が形成される。このゲート電極12を覆うようにBPSG (Boron Phosphorous Silicate Glass) 膜13が形成され、このBPSG膜13上にTEOS-SiO₂膜14が形成される。これらTEOS-SiO₂膜14及びBPSG膜13内にWからなるコンタクトプラグ15が形成される。そして、TEOS-SiO₂膜14上に例えば150nmの膜厚のSiON膜16が形成され、このSiON膜16内にCu又はAlからなる第1の配線17が形成される。この第1の配線17は

コンタクトプラグ15に接続される。

【0022】また、第1の配線17及びSiON膜1-6上に例えばSiN膜、SiC膜、SiOC膜、SiCN膜のいずれかからなる例えば70nmの膜厚の拡散防止膜18が形成される。この拡散防止膜18上に第1の低誘電率膜19が形成される。この第1の低誘電率膜19内にCu又はAlからなる第2の配線20が形成され、この第2の配線20は第1のVia21を介して第1の配線17に接続される。この第2の配線20及び第1の低誘電率膜19上に例えばSiN膜、SiC膜、SiOC膜、SiCN膜のいずれかからなる例えば70nmの膜厚の拡散防止膜22が形成され、この拡散防止膜22上に第2の低誘電率膜23が形成される。この第2の低誘電率膜23内にCu又はAlからなる第3の配線24が形成され、この第3の配線24は第2のVia25を介して第2の配線20に接続される。この第3の配線24及び第2の低誘電率膜23上に例えばSiN膜、SiC膜、SiOC膜、SiCN膜のいずれかからなる例えば70nmの膜厚の拡散防止膜26が形成され、この拡散防止膜26上に第3の低誘電率膜27が形成される。この第3の低誘電率膜27内にCu又はAlからなる第4の配線28が形成され、この第4の配線28は第3のVia29を介して第3の配線24に接続される。このようにして、Via21、25、29及び配線17、20、24、28が連続的な溝となるようなViaリング30がチップ10の周囲に形成される。

【0023】また、第4の配線28及び第3の低誘電率膜27上に例えばSiN膜、SiC膜、SiOC膜、SiCN膜のいずれかからなる例えば70nmの膜厚の拡散防止膜31が形成される。この拡散防止膜31上に例えば150nmの膜厚のSiON膜32が形成され、このSiON膜32上に例えば400nmの膜厚のSiN膜33が形成される。これらSiON膜32及びSiN膜33はパッシベーション膜34として機能する。そして、拡散防止膜31、SiON膜32及びSiN膜33が選択的に除去され、パッド窓35が形成される。このパッド窓35により表面が露出された第4の配線28は、パッド電極36として機能する。

【0024】このように、低誘電率膜19、23、27を含む多層配線構造の半導体装置において、チップ10の最上層に設けられたパッシベーション膜34と、このパッシベーション膜34に近接してチップ10の周囲に設けられたViaリング30とを用いるとともに、第1の配線17間にViaリング30と隣接するSiON膜16を用いる。さらに、パッシベーション膜34の一部にも、SiON膜32を用いる。

【0025】なお、SiON膜16、32に代えて、SiN膜、又はSiON膜とSiN膜との積層膜を用いてもよい。これらSiON膜又はSiN膜は、以下のような方法で形成され得る。

【0026】SiON膜は、例えば、SiH₄+N₂O、SiH₄+N₂O+N₂、SiH₄+O₂+N₂、SiH₄+O₂+NH₃などを原料ガスとして用い、PECVD法で形成される。また、上記以外にも、Si、O、Nを含む原料ガスを用いれば、SiON膜は形成できる。

【0027】SiN膜は、例えば、SiH₄+N₂、SiH₄+NH₃などを原料ガスとして用い、PECVD法で形成される。また、上記以外にも、Si、Nを含む原料ガスを用いれば、SiN膜は形成できる。

【0028】なお、SiON膜やSiN膜は、膜中に水素を含んでいてもよい。

【0029】また、SiON膜16、32は、水分の侵入を防止する効果を高めるためには、100nm以上の膜厚を有することが望ましい。

【0030】なお、第1の配線17はローカル配線（セル内で接続する配線）として用いることが多く、第1の配線17間の容量が少々高くてもデバイスの性能に大きな影響は生じない。このため、第1の配線17間には、低誘電率膜ではなく水のブロッキング効果の高い膜（SiON膜など）を用いても殆ど問題はない。

【0031】上記第1の実施形態によれば、チップ10の最上層に設けられたパッシベーション膜34のSiON膜32と、チップ10の側面に設けられたViaリング30とを用いるとともに、第1の配線17間にSiON膜16を用いる。このため、チップ10の上方、下方、側面から多層配線領域へのあらゆる水分の浸入口を遮断することができる。従って、低誘電率膜に水分が含まれて誘電率が増大するという問題を回避でき、低誘電率膜の特性を有効に利用した半導体装置を提供できる。

【0032】また、SiON膜やSiN膜16、32は従来の半導体プロセスで用いられた材料であるため利用し易い。

【0033】なお、図2に示す構造において、パッド窓35をAlで埋め込んでパッドを形成してもよい。この場合も、本発明の構造を適用することにより、チップ10への水分の侵入を抑制できる。

【0034】【第2の実施形態】第2の実施形態は、上層の層間絶縁膜に吸水性・透水性の少ない膜を用いることを特徴とする。

【0035】図3は、本発明の第2の実施形態に係る半導体装置の断面図を示す。図3に示すように、第2の実施形態に係る半導体装置は、第1の実施形態と同様に、チップ10の最上層に設けられたパッシベーション膜34と、このパッシベーション膜34に近接してチップ10の周囲に設けられたViaリング30とを用いるとともに、第1の配線17間にViaリング30と隣接するSiON膜16を用いる。さらに、パッシベーション膜34の一部にも、SiON膜32を用いる。

【0036】そして、第1の実施形態と異なる点は、上

層配線の構造である。第2の実施形態では、上層2層の配線45、46は主に電源線やグランド配線に用いられる。このため、この上層2層の層間絶縁膜41a、42aは、低誘電率膜を用いずに吸水性・透水性の少ない膜としてSiONを主とする膜、若しくはSiNを主とする膜又はこれらの積層膜を用いる。このように、第2の実施形態では、パッシベーション膜34、上層の層間絶縁膜41a、42a、連続的な溝状のVia21、25、29、44及び配線17、20、24、28、43からなるViaリング30、第1の配線17間の層間絶縁膜16によって、低誘電率膜からなる層間絶縁膜19、23を囲む構造となっている。

【0037】上記第2の実施形態によれば、第1の実施形態と同様の効果を得ることができる。

【0038】さらに、低誘電率膜19、23の上方に吸水性・透水性の少ない膜41a、42a、32を3層設けているため、チップ10の上方から多層配線領域へ侵入する水分をさらに遮断することができる。

【0039】なお、図4に示すように、上層2層の層間絶縁膜41b、42bに、例えばPECVD法で形成されたTEOS膜やUSG膜のようなSiO膜を用いてもよい。

【0040】[第3の実施形態] 第3の実施形態は、低誘電率膜からなる層間絶縁膜の上下の層において、いずれか一方の層に吸水性・透水性の少ない膜を用いることを特徴とする。

【0041】図5、図6は、本発明の第3の実施形態に係る半導体装置の断面図を示す。図5、図6に示すように、第3の実施形態に係る半導体装置は、第1の実施形態と同様に、チップ10の最上層に設けられたパッシベーション膜34と、このパッシベーション膜34に近接してチップ10の周囲に設けられたViaリング30とを用いる。

【0042】そして、第1の実施形態と異なる点は、第1の配線17間の層間絶縁膜又はパッシベーション膜34の一部の膜のいずれか一方に、吸水性・透水性の少ない膜としてSiONを主とする膜、若しくはSiNを主とする膜又はこれらの積層膜を用いることである。

【0043】つまり、図5に示す構造では、第1の配線17間の層間絶縁膜にSiON膜16を用い、パッシベーション膜34の一部の膜にTEOS膜51を用いる。一方、図6に示す構造では、第1の配線17間の層間絶縁膜にTEOS膜52を用い、パッシベーション膜34の一部の膜にSiON膜32を用いる。

【0044】上記第3の実施形態によれば、チップ10の側面に設けられたViaリング30と、チップ10の最上層に設けられたSiON膜32又は第1の配線17間に設けられたSiON膜16とを用いる。このため、チップ10の側面と上方又は下方とから多層配線領域に水分が侵入することを抑制できる。従って、低誘電率膜

に水分が含まれて誘電率が増大するという問題を抑制でき、低誘電率膜の特性を有効に使用した半導体装置を提供できる。

【0045】なお、第3の実施形態に係る発明は、第2の実施形態のように上層2層の配線45、46を主に電源線やグランド配線に用いる場合にも適用できる。

【0046】すなわち、図7、図8に示すように、第1の配線17間の層間絶縁膜又はパッシベーション膜34の一部の膜のいずれか一方に吸水性・透水性の少ない膜としてSiONを主とする膜、若しくはSiNを主とする膜又はこれらの積層膜を用い、さらに、上層2層の層間絶縁膜41a、42aにSiON膜を用いてもよい。

【0047】この場合、図7に示す構造では、チップ10の上方、下方、側面から多層配線領域へのあらゆる水分の浸入口を遮断することができる。また、図8に示す構造では、チップ10の上方から多層配線領域へ侵入する水分を特に遮断することができる。

【0048】また、図9、図10に示すように、第1の配線17間の層間絶縁膜又はパッシベーション膜34の一部の膜のいずれか一方に吸水性・透水性の少ない膜としてSiONを主とする膜、若しくはSiNを主とする膜又はこれらの積層膜を用い、さらに、上層2層の層間絶縁膜41b、42bにTEOS膜やUSG膜のようなSiO膜を用いてもよい。

【0049】この場合、図9に示す構造では、低誘電率膜19、23の上方に設けられた3層からなる膜厚の厚いTEOS膜41b、42b、51とViaリング30とSiON膜16とを用いているため、チップ10の上方、下方、側面から多層配線領域へのあらゆる水分の浸入口を遮断することができる。また、図10に示す構造では、低誘電率膜19、23の上方にTEOS膜41b、42bとSiON膜32とが設けられているため、チップ10の上方から多層配線領域へ侵入する水分を特に遮断することができる。

【0050】[第4の実施形態] 第4の実施形態では、低誘電率膜からなる層間絶縁膜の上層と最下層配線の下層とに吸水性・透水性の少ない膜を用いることを特徴とする。

【0051】図11は、本発明の第4の実施形態に係る半導体装置の断面図を示す。図11に示すように、第4の実施形態に係る半導体装置は、第1の実施形態と同様に、チップ10の最上層に設けられたパッシベーション膜34と、このパッシベーション膜34に近接してチップ10の周囲に設けられたViaリング30とを用いる。さらに、パッシベーション膜34の一部にSiON膜32を用いる。

【0052】そして、第1の実施形態と異なる点は、第1の配線17の下層に例えば150nmの膜厚のSiON膜61を用いることである。従って、第4の実施形態では、パッシベーション膜34、Viaリング30、第

1の配線17下のSiON膜61によって、低誘電率膜からなる層間絶縁膜19、23、27、62を囲む構造となっている。

【0053】なお、図11に示す構造では、半導体基板11上にBPSG膜13が形成され、このBPSG膜13上にSiON膜61が形成されているが、これに限定されない。つまり、半導体基板11上にSiON膜61を直接形成してもよい。

【0054】また、低誘電率膜19、62及び拡散防止膜18を1層の層間絶縁膜で形成してもよい。つまり、第1の配線17を形成した後、この第1の配線17及びSiON膜61上に層間絶縁膜を形成する。そして、この層間絶縁膜内にダマシン構造の第2の配線20及び第1のVia21を形成し、この第2の配線20を第1のVia21を介して第1の配線17に接続する。

【0055】上記第4の実施形態によれば、第1の実施形態と同様の効果を得ることができる。

【0056】なお、第4の実施形態に係る発明は、上記第1乃至第3の実施形態に適用することも可能である。

【0057】その他、本発明は、上記各実施形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で、種々に変形することが可能である。さらに、上記実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出され得る。例えば、実施形態に示される全構成要件から幾つかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題が解決でき、発明の効果の欄で述べられている効果が得られる場合には、この構成要件が削除された構成が発明として抽出され得る。

【0058】

【発明の効果】以上説明したように本発明によれば、チップへの水分の侵入を抑制することが可能な半導体装置を提供できる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係わる半導体装置を示す平面図。

【図2】図1のII-II線に沿った半導体装置の断面図。

【図3】本発明の第2の実施形態に係わり、上層の層間絶縁膜にSiON膜を用いた場合の半導体装置を示す断面図。

【図4】本発明の第2の実施形態に係わり、上層の層間絶縁膜にTEOS膜を用いた場合の半導体装置を示す断面図。

【図5】本発明の第3の実施形態に係わり、低誘電率膜の下層にSiON膜を用いた場合の半導体装置を示す断面図。

【図6】本発明の第3の実施形態に係わり、低誘電率膜の上層にSiON膜を用いた場合の半導体装置を示す断面図。

【図7】図5に示す構造の上層の層間絶縁膜にSiON膜を用いた場合の半導体装置を示す断面図。

【図8】図6に示す構造の上層の層間絶縁膜にSiON膜を用いた場合の半導体装置を示す断面図。

【図9】図5に示す構造の上層の層間絶縁膜にTEOS膜を用いた場合の半導体装置を示す断面図。

【図10】図6に示す構造の上層の層間絶縁膜にTEOS膜を用いた場合の半導体装置を示す断面図。

【図11】本発明の第4の実施形態に係わる半導体装置を示す断面図。

【図12】第1の従来技術による半導体装置を示す平面図。

【図13】図12のXIII-XIII線に沿った半導体装置の断面図。

【図14】第2の従来技術による半導体装置を示す平面図。

【図15】図15(A)は図14のXVA-XVA線に沿った半導体装置の断面図、図15(B)は図14のXVB-XVB線に沿った半導体装置の部分断面図。

【符号の説明】

10…チップ、

11…半導体基板、

12…ゲート電極、

13…BPSG膜、

14…TEOS-SiO₂膜、

15…コンタクトプラグ、

16、32、41a、42a、61…SiON膜、

17、20、24、28、43…配線、

18、22、26、31…拡散防止膜、

19、23、27、62…低誘電率膜、

21、25、29、44…Via、

30…Viaリング、

33…SiN膜

34…パッシベーション膜、

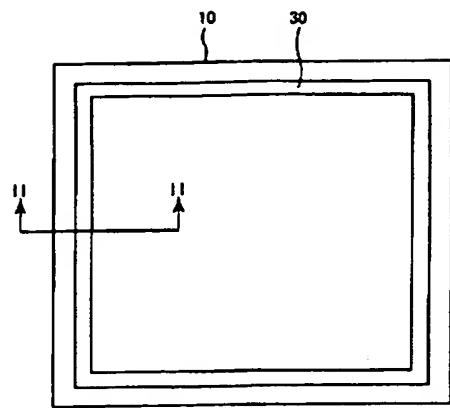
35…パッド窓、

36…パッド電極、

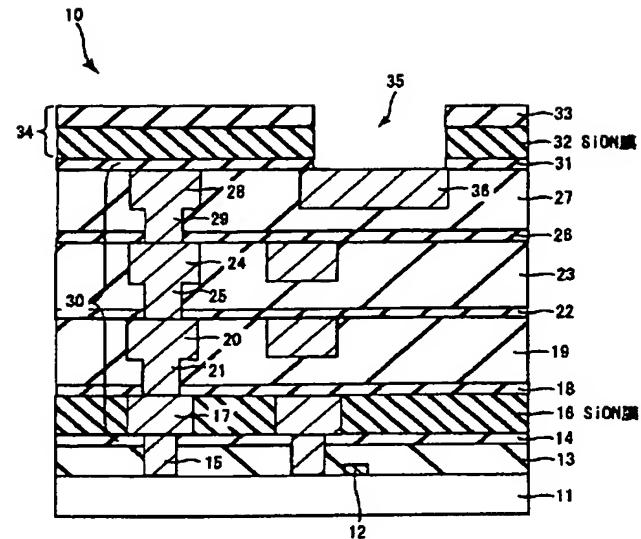
41b、42b、51、52…TEOS膜、

45、46…電源線又はグランド配線。

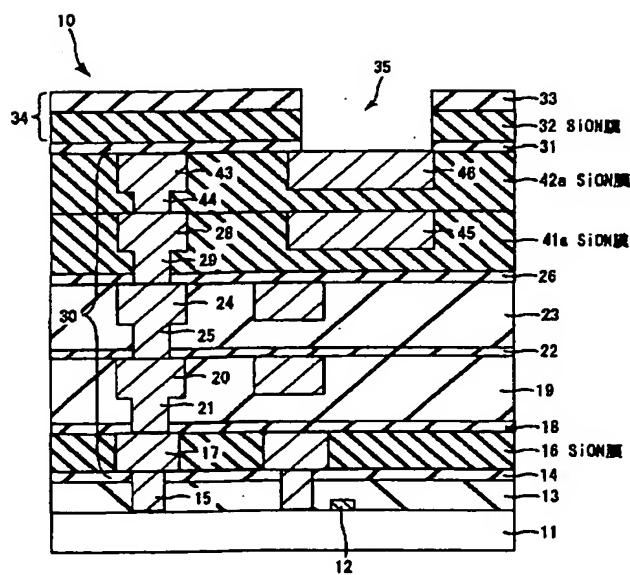
【図1】



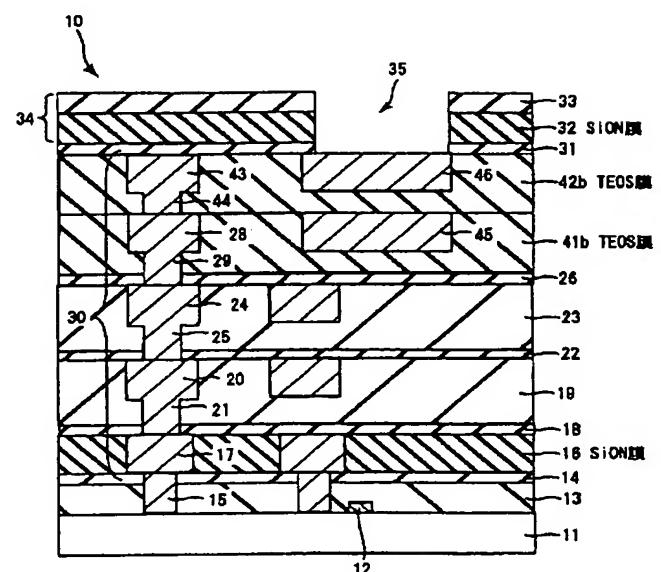
【図2】



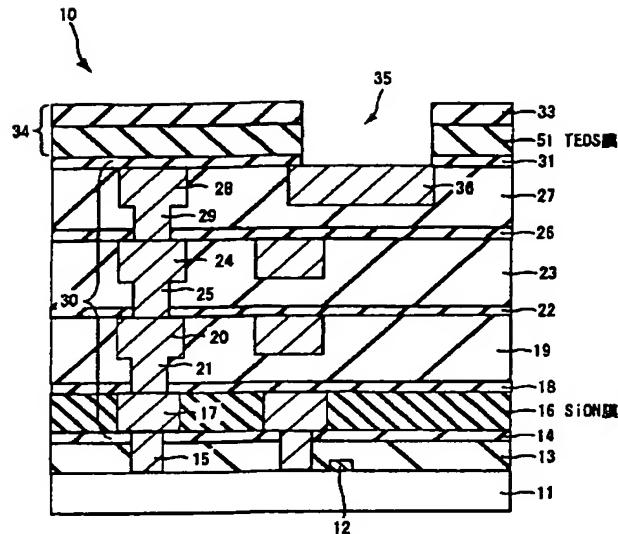
【図3】



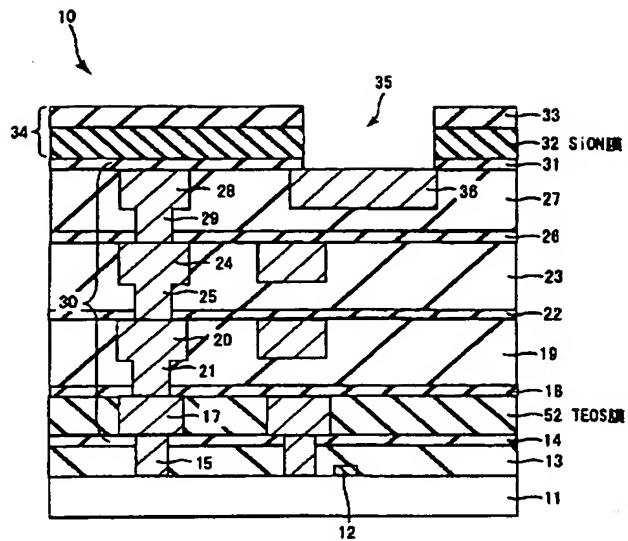
【図4】



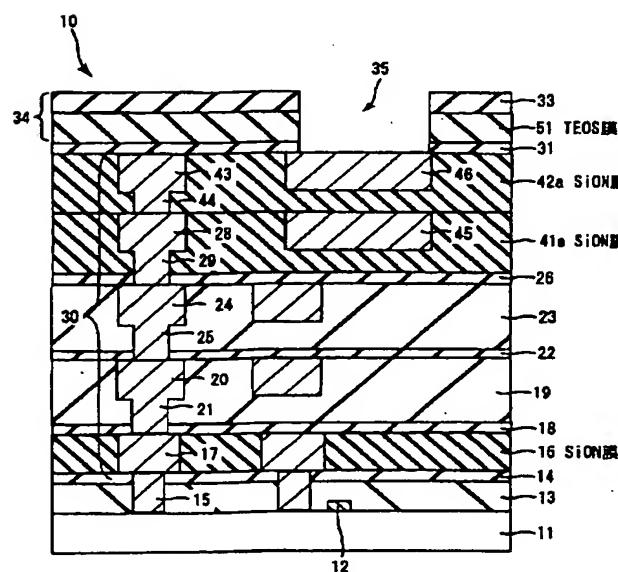
【図5】



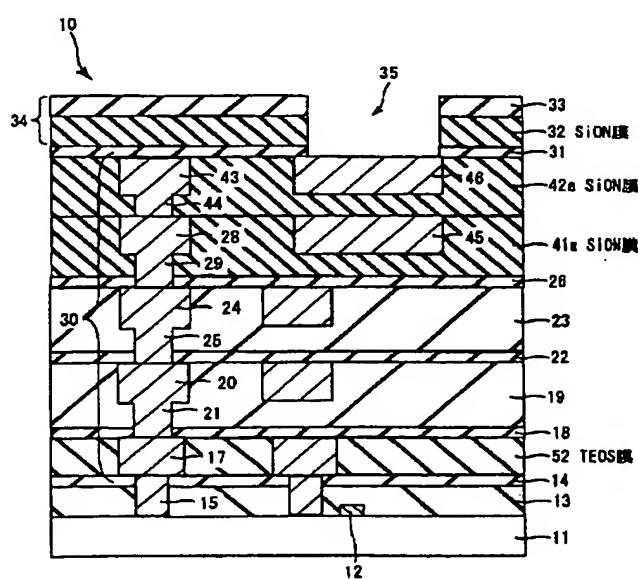
【図6】



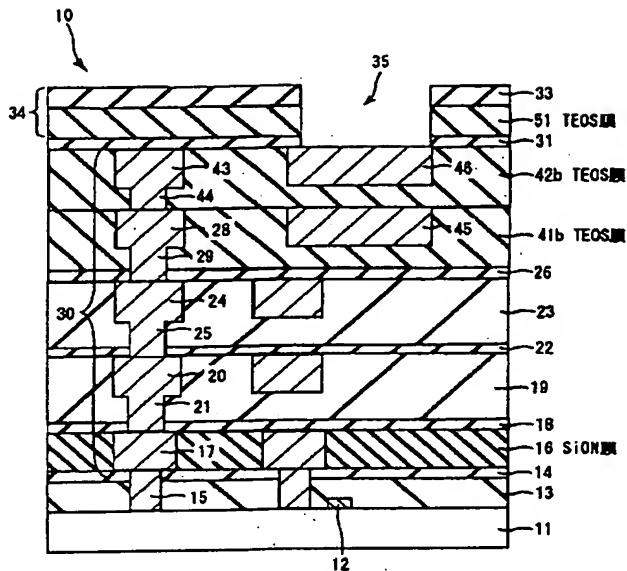
【図7】



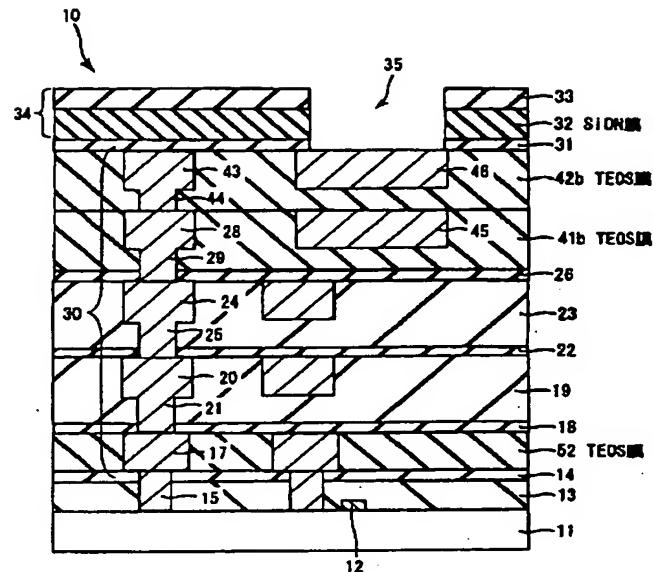
【図8】



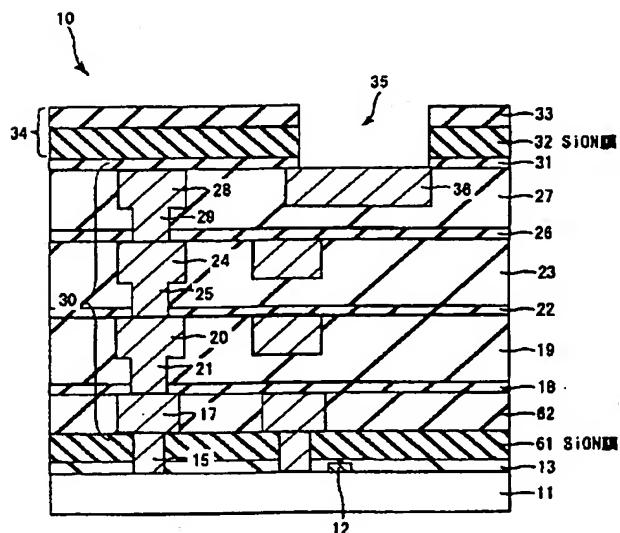
【図9】



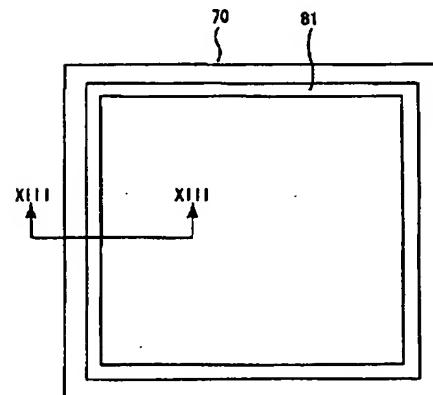
【図10】



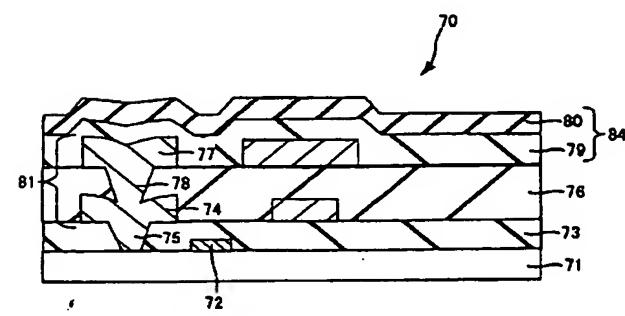
【図11】



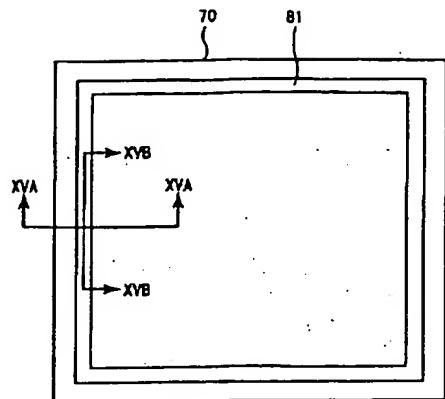
【図12】



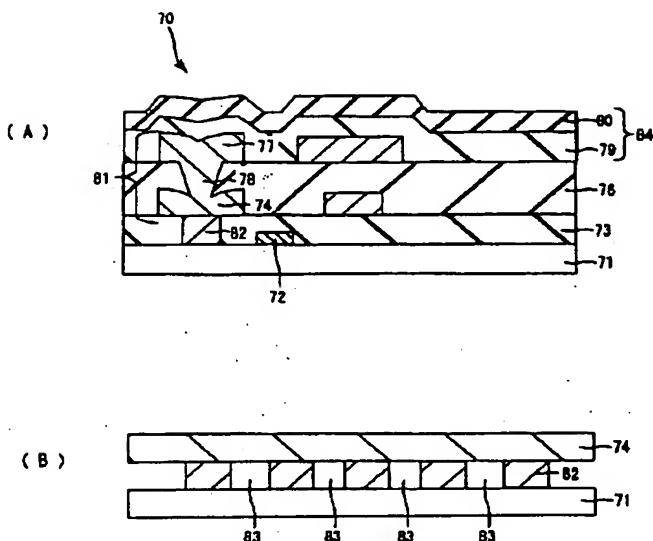
【図13】



【図14】



【図15】



フロントページの続き

F ターム(参考) 5F033 HH08 HH11 JJ01 JJ08 JJ11
 JJ19 KK01 KK08 KK11 MM02
 RR01 RR04 RR06 RR08 RR09
 RR15 RR21 SS04 SS15 TT04
 VV07 WW02 XX00 XX18
 5F058 BA07 BD02 BD04 BD07 BD10
 BD15 BD18 BF07 BF23 BF25
 BF30 BJ02 BJ03